

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Young-Hwan YUN et al. :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: August 21, 2003 : Attorney Docket No. SEC.1061
For: ANALOG-TO-DIGITAL CONVERTER FOR IMAGE SENSOR

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Korean application:

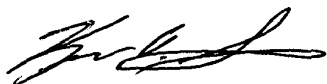
Appln. No. 10-2002-0049783 filed August 22, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

 REG 39,843 for

Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: August 21, 2003

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0049783
Application Number

출원년월일 : 2002년 08월 22일
Date of Application AUG 22, 2002

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 08 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.08.22
【발명의 명칭】	이미지 센서를 위한 아날로그-디지털 변환기
【발명의 영문명칭】	ANALOG-DIGITAL CONVERTER FOR IMAGE SENSOR
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	윤영환
【성명의 영문표기】	YUN, YOUNG HWAN
【주민등록번호】	690315-1648649
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 공세리 한일마을 금성빌라 가 402호
【국적】	KR
【발명자】	
【성명의 국문표기】	이동훈
【성명의 영문표기】	LEE, DONG HUN
【주민등록번호】	711005-1841012
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 동천리 859 동천마을 현대1차 흥타운 105동 60 4호
【국적】	KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다
리인
현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 3 면 3,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 32,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

물리적 자극에 의해 제어되는 전류 소스에 대응하는 디지털 워드를 출력하기 위한 신호 처리 회로가 개시된다. 상기 신호 처리 회로는, 제 1 스위칭 신호의 제 1 및 제 2 액티브 구간들에서 제 1 및 제 2 신호들을 각각 받아들이고, 시변 기준 신호(time varying reference signal)를 받아들여서 아날로그 신호를 발생하는 아날로그 집적 회로와, 활성화된 인에이블 신호에 응답해서 상기 아날로그 신호를 반전 및 증폭하는 인버터 회로 그리고 시작 신호와 상기 인버터 회로의 출력의 천이로 표현되는 종료 신호에 의해 정의되는 시구간을 나타내는 상기 디지털 워드를 발생하는 출력 회로를 포함한다. 상기 인에이블 신호는 상기 제 1 스위칭 신호의 상기 제 1 액티브 구간이 종료되는 시점부터 상기 제 2 액티브 구간이 종료되는 시점 사이에 비활성화된다.

【대표도】

도 2

【색인어】

CDS, 포토다이오드, 인버터

【명세서】

【발명의 명칭】

이미지 센서를 위한 아날로그-디지털 변환기{ANALOG-DIGITAL CONVERTER FOR IMAGE SENSOR}

【도면의 간단한 설명】

도 1은 본 발명의 바람직한 실시예에 따른 액티브 픽셀 CMOS 영상 회로의 구성을 보여주는 도면;

도 2는 도 1에 도시된 CMOS 영상 회로의 하나의 열과 관련된 회로 구성을 상세히 보여주는 도면;

도 3은 도 2에 도시된 비교기의 상세한 회로 구성을 보여주는 도면;

도 4는 도 2에 도시된 인에이블 제어기의 상세한 회로도; 그리고

도 5는 본 발명의 바람직한 실시예에 따른 CMOS 영상 회로에서 사용되는 신호들의 타이밍도이다.

*도면의 주요부분에 대한 설명

10 : 셀 어레이 12 : 셀

14₁ - 14_N : 열 버스 16 : 전원 공급 라인

20 : 타이밍 및 컨트롤 로직 30 : 램프 신호 발생기

40 : 카운터 50 : 아날로그-디지털 변환기

51 : 상관 이중 샘플링(CDS) 회로 52 : 출력 회로

121 : 인버터 회로 122 : 인버터

123 : 래치

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 영상 감지(sensing), 포획(capturing) 및 신호 처리(signal processing)를 위한 전자 소자들에 관한 것으로, 좀 더 구체적으로는 표준 CMOS(Complementary Metal Oxide Semiconductor) 공정을 이용하여 생산될 수 있는 이미지 센서에 관한 것이다.
- <15> CMOS 이미지 어레이들은 캠코더 장치, 팩시밀리 기계용 스캐너 그리고 화상 회의, 전문적 TV 중계를 위한 휴대용 장치 등과 같은 다양한 용도로 사용되는 비디오 카메라에서 고품질 영상을 다루는 것이 가능하게 하였다.
- <16> 멀티미디어 통신의 출현은 실용적인 비디오전화(videotelephones) 등의 구현을 위해 컴퓨터 및 통신 장치들에 제공될 저비용 고체 영상 센서(low cost solid state image sensors)에 대한 요구를 증가시킨다. 영상 입력 장치는 원격 회의 및 멀티미디어 응용분야의 중심에 섰다. 최근, CMOS 이미지 센서는 영상 입력 장치 분야에서 유력한 후보로 인식되고 있다. 또한 CMOS 이미지 센서는 로봇틱스(robotics), 머신 비전(machine vision), 보안 감시(security surveillance), 자동차 분야 및 지문 채취 및 망막 스캔을 통한 개인 ID 시스템들에 활용된다.

<17> CMOS 이미지 센서의 가장 큰 이점은 신호 처리 회로가 이미저(imager)와 동일한 칩상에 집적될 수 있으므로, 스마트한 설계가 가능하고 단일 칩 영상 획득 시스템으로 구현될 수 있다는 것이다. CMOS 이미저는 CMOS 공정 라인들에 대한 수정 없이 CMOS 공정 라인들에서 생산될 수 있기 때문에 종래의 CCD에 비해 저렴하다.

<18> 최근에는 휴대용 전자 기기들의 사용이 증가되고 있다. 이러한 휴대용 전자기기들은 배터리에 의해서 전원을 공급받기 때문에 전자 기기 개발자들은 전력 소모가 적은 휴대용 전자기기의 개발을 위해 노력한다. 그러므로, 영상 획득을 필요로 하는 휴대용 전자 기기에서의 저전력 소모를 도모하기 위해서는 저전력 소모 이미지 센서가 요구된다.

<19> 잘 알려진 바와 같이, 빛은 연속적으로 변화하는 아날로그 데이터이다. 이산적 신호 처리를 위해서 아날로그 데이터는 디지털 데이터로 변환되어야 한다. CMOS 영상 장치에는 빛을 아날로그 신호로서 검출하고, 아날로그 신호를 디지털 데이터로 변환하기 위한 장치가 사용된다. 아날로그-디지털 변환기의 전력 소모를 줄이는 것은 영상 장치의 전력 소모를 줄일 수 있는 방법이 된다.

【발명이 이루고자 하는 기술적 과제】

<20> 따라서 본 발명의 목적은 전력 소모가 감소된 이미지 센서를 위한 아날로그-디지털 변환기를 제공하는데 있다.

【발명의 구성 및 작용】

<21> (구성)

<22> 상술한 바와 같은 목적을 달성하기 위한 본 발명의 일 특징에 의하면, 신호 처리 회로는: 제 1 스위칭 신호의 제 1 및 제 2 액티브 구간들에서 제 1 및 제 2 신호들을 각

각 받아들이고, 시변 기준 신호(time varying reference signal)를 받아들여서 아날로그 신호를 발생하는 아날로그 집적 회로와, 활성화된 인에이블 신호에 응답해서 상기 아날로그 신호를 반전 및 증폭하는 인버터 회로 그리고 시작 신호와 상기 인버터 회로의 출력의 천이로 표현되는 종료 신호에 의해 정의되는 시구간을 나타내는 상기 디지털 워드를 발생하는 출력 회로를 포함한다. 상기 인에이블 신호는 상기 제 1 스위칭 신호의 상기 제 1 액티브 구간이 종료되는 시점부터 상기 제 2 액티브 구간이 종료되는 시점 사이에 비활성화된다.

<23> 상기 인버터 회로는, 전원 전압과 연결된 제 1 전극, 제 2 전극 및 상기 아날로그 신호와 연결된 게이트를 갖는 제 1 트랜지스터와, 상기 제 1 트랜지스터의 상기 제 2 전극과 연결된 제 1 전극, 제 2 및 상기 아날로그 신호와 연결된 게이트를 갖는 제 2 트랜지스터 그리고 상기 제 2 트랜지스터의 상기 제 2 전극과 연결된 제 1 전극, 접지 전압과 연결된 제 2 전극 그리고 상기 인에이블 신호와 연결된 게이트를 갖는 제 3 트랜지스터를 포함한다.

<24> 바람직한 실시예에서, 상기 제 1 트랜지스터는 PMOS 트랜지스터이고, 상기 제 2 및 제 3 트랜지스터들은 각각 NMOS 트랜지스터이다.

<25> 다른 실시예에서, 상기 제 1 및 제 2 트랜지스터들은 각각 PMOS 트랜지스터이고, 상기 제 3 트랜지스터는 NMOS 트랜지스터이다.

<26> 상기 시변 기준 신호는 상기 시작 신호에 응답해서 소정의 기울기를 갖고 변화하는 램프 신호이다.

<27> (실시예)

<28> 이하 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.

<29> 도 1은 본 발명의 바람직한 실시예에 따른 CMOS 영상 회로의 구성을 보여주는 도면이다. 도 1을 참조하면, 센서 어레이(10)는 행들(R_1 - R_M)과 열들(C_1 - C_N)의 어레이로 배열된 복수의 셀들(픽셀들)(12)을 포함한다. 일반적으로 하나의 행 내의 모든 셀들(12)로부터 영상을 읽기 위하여 하나의 행은 동시에 활성화된다. 타이밍 및 컨트롤 로직(20)은 활성화 행을 선택하기 위해 행 선택 라인들(RSL_1 - RSL_M) 상에 행 선택 신호들(RSL)을 제공한다. 또한, 셀들(12)로 제공되기 위한 리셋 라인들(RES_1 - RES_M) 상의 리셋 신호(RESET)는 로직 블록(20)에 의해 발생된다. 각각의 액티브 셀(12)로부터의 빛에 의해 유도되는 전하는 대응하는 전압으로서 각 열들(C_1 - C_N) 내의 셀들(12)과 연결된 각 열 데이터 라인들(14_1 - 14_N) 상에 읽혀진다. 특정 시간에 각 열들(14_i) 상의 전압은 연관된 열(C_i)과 활성화된 행 내의 오직 하나의 활성화된 셀의 영상 전하에 대응한다. 신호 라인들(14_1 - 14_M)은 셀들(12)을 구동하는데 필요한 전압들(VDD, VTG)을 타이밍 및 컨트롤 로직(20)으로부터 셀들(12)로 전달한다.

<30> 램프 신호 발생기(30)는 타이밍 및 컨트롤 로직(20)으로부터의 램프 인에이블 신호(LAMP_EN)에 응답해서 램프 신호(VRAMP)를 발생한다. 상기 램프 신호(VRAMP)는 소정의 기울기를 갖고 변화하는 시변 기준 신호(time varying reference signal)이다. 카운터(40)는 카운터 인에이블 신호(CNT_EN)에 응답해서 클럭 신호(CLK)의 주기를 카운트한다.

<31> 아날로그-디지털 변환기들(Analog to Digital converters : ADCs)(50_1 - 50_N)은 열들(C_1 - C_N)의 하단에 각각 연결된다. 아날로그-디지털 변환기들(50_j)은 열 데이터 라인(14

j) 상의 전압(VPXL_j), 램프 신호 발생기(30)에서 발생된 램프 신호(VRAMP) 및 카운터(40)의 출력(CNT)을 받아들이고, 디지털 워드(D_j)를 출력한다. 아날로그-디지털 변환기들(50_j)로부터 출력되는 디지털 워드들(D_j)은 영상 데이터 처리 장치로 제공된다.

<32> 도 2는 도 1에 도시된 CMOS 영상 회로의 하나의 열과 관련된 회로 구성을 상세히 보여주는 도면이다. 도 2를 참조하면, 메모리 셀(12)은 NMOS 트랜지스터들(101-104)과 포토 다이오드(PD1)를 포함한다. NMOS 트랜지스터(101)는 전원 전압과 연결된 드레인, 노드(110)와 연결된 소스 및 리셋 신호 라인(RST)을 통해 리셋 신호(RESET)와 연결된 게이트를 갖는다. NMOS 트랜지스터(102)는 포토 다이오드(PD1)의 캐소드(cathod)와 노드(110) 사이에 형성된 전류 통로 및 전압(VTG)과 연결된 게이트를 갖는다. 포토 다이오드(PD1)의 애노드(anode)는 접지 전압과 연결된다. NMOS 트랜지스터(103)는 전원 전압과 연결된 드레인, 소스 및 노드(110)와 연결된 게이트를 갖는다. NMOS 트랜지스터(104)는 NMOS 트랜지스터(103)의 소스와 연결된 드레인, 노드(14)와 연결된 소스 그리고 행 선택 라인(RSL)을 통해 행 선택 신호(ROWSEL)와 연결된 게이트를 갖는다.

<33> 상술한 바와 같은 구성을 갖는 메모리 셀(12)에서, 포토 다이오드(PD1)가 빛에 노출될 때 빛의 세기(intensity of light)에 따라서 노드(14)의 전압(VPXL)이 결정된다. 예컨대, 빛이 밝아질수록 노드(14)의 전압(VPXL)은 낮아진다.

<34> 아날로그-디지털 변환기(50)는 CDS(Correlated Double Sampling) 회로(51)와 출력 회로(52)를 포함한다. CDS 회로(51)는 커패시터들(C1, C2)과 스위치들(SW1, SW2)을 포함한다. 커패시터(C1)의 일단은 출력 회로(52)와 연결된다. 스위치(SW1)는 스위칭 신호(S1)에 응답해서 노드(14)와 커패시터(C1)의 타단 사이를 선택적으로 연결한다. 커패

시터(C2)의 일단은 출력 회로(52)와 연결된다. 스위치(SW2)는 스위칭 신호(S2)에 응답해서 램프 신호 발생기(30)로부터의 램프 신호(VRAMP)와 커패시터(C2)의 타단 사이를 선택적으로 연결한다. 스위칭 신호들(S1, S2)은 타이밍 및 컨트롤 로직(20)으로부터 제공된다.

<35> 출력 회로(52)는 인버터 회로(121), 커패시터(C3), 인버터(122), 스위치들(S3, S4) 그리고 래치(123)를 포함한다. 인버터 회로(121)는 CDS 회로(51)로부터 출력되는 아날로그 신호(VA)를 받아들이기 위한 입력단과 출력 신호(VOUT)를 출력하는 출력단을 갖는다. 스위치(SW3)는 스위칭 신호(S3)에 응답해서 인버터 회로(121)의 입력단과 출력단을 연결한다. 커패시터(C3)는 인버터 회로(121)와 인버터(122) 사이에 연결된다. 인버터(122)는 인버터 회로(121)의 출력(VOUT)을 받아들이기 위한 입력단과 출력단을 갖는다. 스위치(SW4)는 스위칭 신호(S4)에 응답해서 인버터(122)의 입력단과 출력단을 연결한다. 래치(123)는 인버터(122)의 출력에 응답해서 카운터(40)의 출력(CNT)을 래치하고, 데이터 워드(D)를 출력한다.

<36> 도 3은 도 2에 도시된 인버터 회로(121)의 제 1 실시예에 따른 회로 구성을 보여주는 도면이다. 도 3을 참조하면, 인버터 회로(121)는 PMOS 트랜지스터(P1)와 NMOS 트랜지스터(N1)로 구성된 인버터(201)와 인에이블 트랜지스터(N2)를 포함한다. 이 실시예에서 인에이블 트랜지스터(N2)는 NMOS 트랜지스터이다. PMOS 트랜지스터(P1)는 전원 전압과 연결된 소스, 인버터 회로(121)의 출력단과 연결된 드레인 및 인버터 회로(121)의 입력단과 연결된 게이트를 갖는다. NMOS 트랜지스터(N1)는 인버터 회로(121)의 출력단과 연결된 드레인, 소스 및 인버터 회로(121)의 입력단과 연결된 게이트를 갖는다. 인에이블 트랜지스터(N2)는 NMOS 트랜지스터의 소스와 연결된 드레인, 접지 전압과 연결된 소

스 및 컨트롤 로직(20)으로부터의 인에이블 신호(EN)와 연결된 게이트를 갖는다. 이와 같은 구성의 인버터 회로(121)는 인에이블 신호가 논리 하이일 때 인버터 회로(121)의 입력단으로 입력되는 아날로그 신호(VA)를 받아들여서 반전 및 증폭한다. 반면, 인버터 회로(121)는 인에이블 신호가 논리 로우일 때 동작하지 않는다.

<37> 도 4는 도 2에 도시된 인버터 회로(121)의 제 2 실시예에 따른 회로 구성을 보여주는 도면이다. 도 4를 참조하면, 인버터 회로(121)는 PMOS 트랜지스터(P1)와 NMOS 트랜지스터(N1)로 구성된 인버터(201)와 인에이블 트랜지스터(P2)를 포함한다. 이 실시예에서 인에이블 트랜지스터(P2)는 PMOS 트랜지스터이다. PMOS 트랜지스터(P2)는 전원 전압과 연결된 소스, 드레인 및 컨트롤 로직(20)으로부터의 인에이블 신호(EN)와 연결된 게이트를 갖는다. PMOS 트랜지스터(P1)는 PMOS 트랜지스터(P2)와 연결된 소스, 인버터 회로(121)의 출력단과 연결된 드레인 및 인버터 회로(121)의 입력단과 연결된 게이트를 갖는다. NMOS 트랜지스터(N1)는 인버터 회로(121)의 출력단과 연결된 드레인, 소스 및 인버터 회로(121)의 입력단과 연결된 게이트를 갖는다. 이와 같은 구성의 인버터 회로(121)는 인에이블 신호가 논리 로우일 때 인버터 회로(121)의 입력단으로 입력되는 아날로그 신호(VA)를 받아들여서 반전 및 증폭한다. 반면, 인버터 회로(121)는 인에이블 신호가 논리 하이일 때 동작하지 않는다.

<38> 이하 도 3에 도시된 제 1 실시예에 따른 인버터 회로(121)를 본 발명의 실시예로써 설명한다.

<39> 도 5는 본 발명의 바람직한 실시예에 따른 CMOS 영상 회로에서 사용되는 신호들의 타이밍도이다. 도 2 및 도 5를 참조하여 본 발명의 바람직한 실시예에 따른 CMOS 영상 회로의 동작이 설명된다.

- <40> 리셋 샘플링 구간에서, 타이밍 및 컨트롤 로직(20)으로부터 제공된 리셋 신호 라인(RST) 상의 리셋 신호(RESET)가 논리 하이이면 노드(110)의 전위는 NMOS 트랜지스터(101)의 드레슬드 전압에 의해서 정의되는 전압($V_{DD}-V_{th}$)으로 설정된다. 노드(14)의 전압(VPXL)은 노드(110)의 전압에 대응하게 상승한다. 노드(110)의 전압은 소스 폴로워(source follower) 트랜지스터(103)의 게이트 전위를 설정한다. 트랜지스터(103)는 자신의 게이트 단자에 인가된 전압을 증폭한다. 행 선택 라인(RLS) 상의 행 선택 신호(ROWSEL)에 의해서 행 선택 트랜지스터(104)가 턴 온되면 노드(110)의 전압은, 열 라인(14) 상의 대응하는 전압을 검출하는 CDS 회로(60) 및 출력 회로(70)에 의해서 검출된다.
- <41> 리셋 샘플링 구간 동안, 스위치들(SW1, SW2, SW3)은 논리 하이인 스위칭 신호들(S1, S2, S3)에 응답해서 온되고, 인에이블 신호(EN)는 하이 레벨이다. 인버터 회로(121)의 출력(VOUT)이 입력단으로 피드백되므로, 인버터 회로(121)의 입력단으로 입력되는 아날로그 신호(VA)는 $V_{DD}/2$ 이다. 스위칭 신호들(S1, S2, S3)이 논리 로우가 되더라도 커패시터(C1)에 차지된 전하에 의해서 아날로그 신호(VA)는 $V_{DD}/2$ 레벨을 유지한다.
- <42> 신호 샘플링 구간에서, 전압(VTG)이 논리 하이로 됨에 따라 노드(110)의 전하(charge)는 포토 다이오드(PD1)로 전달된다. 다이오드(PD1)의 전압은 빛의 세기(intensity of light)에 대응한다. 노드(110)의 전압은 소스 폴로워(source follower) 트랜지스터(103)의 게이트 전위를 설정한다. 그러므로, 열 라인(14)의 전압(VPXL)은 노드(110)의 전압에 대응하는 전압으로 설정된다. 스위치들(SW1, SW2)은 논리 하이의 스위칭 신호들(S1, S2)에 응답해서 온된다. 아날로그 신호(VA)는 노드(14)의 전압(VPXL)의 변화폭과 동일하게 낮아진다.

<43> 계속해서, 스위칭 신호(S1)는 논리 로우로 천이하고, 스위칭 신호(S2)는 논리 하이로 유지한다. 스위칭 신호(S1)가 논리 로우로 천이한 후 램프 인에이블 신호(LAMP_EN)와 카운터 인에이블 신호(CNT_EN)가 각각 논리 하이로 활성화된다. 논리 하이의 램프 인에이블 신호(LAMP_EN)에 응답해서 램프 신호 발생기(30)는 일정한 기울기를 갖고 상승하는 램프 신호(VRAMP)를 발생한다. 스위칭 신호(S2)가 논리 하이이므로, 아날로그 신호(VA)는 램프 신호(VRAMP)와 동일한 비율로 상승한다. 한편, 논리 하이의 카운터 인에이블 신호(CNT_EN)에 응답해서 카운터(40)는 컨트롤 로직(20)으로부터 제공되는 클럭 신호(CLK)의 사이클을 카운트하는 동작을 시작한다. 인에이블 신호(C_ENb)는 논리 하이로 비활성된다.

<44> 한편, 스위칭 신호(S1)의 첫번째 폴링 에지 즉, 스위칭 신호(S1)가 하이 레벨에서 로우 레벨로 천이하고 나서부터 두번째 폴링 에지까지 인에이블 신호(EN)는 로우 레벨로 비활성화된다. 그러므로, 인버터 회로(121)는 동작하지 않는다. 만일 인버터 회로(121)가 인에이블 트랜지스터(N2)를 구비하지 않고, NMOS 트랜지스터(N1)의 소스가 접지 전압과 직접 연결되고, 인버터 회로(121)의 입력단으로 입력되는 아날로그 신호(VA)가 $VDD/2$ 이면, 인버터 회로(51)의 PMOS 트랜지스터(P1)와 NMOS 트랜지스터(N1)를 통해 전원 전압(VDD)과 접지 전압 사이에 전류 패스가 형성된다. 이는 인버터 회로의 전류 소모를 증가시킨다. 본 발명에서는 NMOS 트랜지스터(N1)의 소스와 접지 전압 사이에 인에이블 트랜지스터(N2)를 연결해서 인버터 회로(121)의 불필요한 전류 소모를 제거한다. 인버터 회로(121)가 디세이블된 상태이더라도 인버터 회로(121)의 입력단으로 입력되는 아날로그 신호(VA)는 커패시터들(C1, C2)에 저장되어 있으므로 아날로그-디지털 변환기(50)의 동작에는 전혀 영향을 미치지 않는다.

<45> 도 6은 도 2에 도시된 아날로그-디지털 변환기(50)가 동작할 때 아날로그-디지털 변환기(50)로/로부터 입/출력되는 신호들 중 일부를 보여주는 도면이다. 도 6에 도시된 바와 같이, 스위칭 신호(S1)의 첫번째 폴링 에지에서 인에이블 신호(EN)가 논리 로우로 비활성화됨에 따라 인버터 회로(121)의 출력 신호(VOUT)는 논리 하이로 된다. 스위칭 신호(S2)의 두번째 폴링 에지에서 인에이블 신호(EN)가 논리 하이로 활성화되면 인버터 회로(121)는 입력단으로 입력되는 아날로그 신호(VA)에 따라서 출력 신호(VOUT)를 출력한다.

<46> 도 7a는 본 발명의 바람직한 실시예에 따른 CMOS 영상 회로에서 빛의 조도에 따른 출력 데이터(D)를 보여주는 도면이고, 도 7b는 인버터 회로(121)에 인에이블 트랜지스터(N1)를 구비하지 않았을 때 빛의 조도에 따른 출력 데이터(D)를 보여주는 도면이다. 도 7a 및 도 7b를 참조하면, 인버터 회로(121)에 인에이블 트랜지스터(N1)를 구비함으로써 안정된 결과를 얻을 수 있음을 알 수 있다.

<47> 예시적인 바람직한 실시예를 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예들에 한정되지 않는다는 것이 잘 이해될 것이다. 오히려, 본 발명의 범위에는 다양한 변형 예들 및 그 유사한 구성들이 모두 포함될 수 있도록 하려는 것이다. 따라서, 청구범위는 그러한 변형 예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

【발명의 효과】

<48> 이와 같은 본 발명에 의하면, 아날로그-디지털 변환기의 전력 소모가 감소된다. 결과적으로, CMOS 영상 장치의 전력 소모가 감소된다.

【특허청구범위】**【청구항 1】**

신호 처리 회로에 있어서:

제 1 스위칭 신호의 제 1 및 제 2 액티브 구간들에서 제 1 및 제 2 신호들을 각각 받아들이고, 시변 기준 신호(time varying reference signal)를 받아들여서 아날로그 신호를 발생하는 아날로그 집적 회로와;

활성화된 인에이블 신호에 응답해서 상기 아날로그 신호를 반전 및 증폭하는 인버터 회로; 그리고

시작 신호와 상기 인버터 회로의 출력의 천이로 표현되는 종료 신호에 의해 정의되는 시구간을 나타내는 상기 디지털 워드를 발생하는 출력 회로를 포함하되;

상기 인에이블 신호는 상기 제 1 스위칭 신호의 상기 제 1 액티브 구간이 종료되는 시점부터 상기 제 2 액티브 구간이 종료되는 시점 사이에 비활성화되는 것을 특징으로 하는 신호 처리 회로.

【청구항 2】

제 1 항에 있어서,

상기 인버터 회로는,

전원 전압과 연결된 제 1 전극, 제 2 전극 및 상기 아날로그 신호와 연결된 게이트를 갖는 제 1 트랜지스터와;

상기 제 1 트랜지스터의 상기 제 2 전극과 연결된 제 1 전극, 제 2 및 상기 아날로그 신호와 연결된 게이트를 갖는 제 2 트랜지스터; 그리고

상기 제 2 트랜지스터의 상기 제 2 전극과 연결된 제 1 전극, 접지 전압과 연결된 제 2 전극 그리고 상기 인에이블 신호와 연결된 게이트를 갖는 제 3 트랜지스터를 포함하는 것을 특징으로 하는 신호 처리 회로.

【청구항 3】

제 2 항에 있어서,

상기 제 1 트랜지스터는 PMOS 트랜지스터인 것을 특징으로 하는 신호 처리 회로.

【청구항 4】

제 3 항에 있어서,

상기 제 2 및 제 3 트랜지스터들은 각각 NMOS 트랜지스터인 것을 특징으로 하는 신호 처리 회로.

【청구항 5】

제 2 항에 있어서,

상기 제 1 및 제 2 트랜지스터들은 각각 PMOS 트랜지스터인 것을 특징으로 하는 신호 처리 회로.

【청구항 6】

제 5 항에 있어서,

상기 제 3 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 신호 처리 회로.

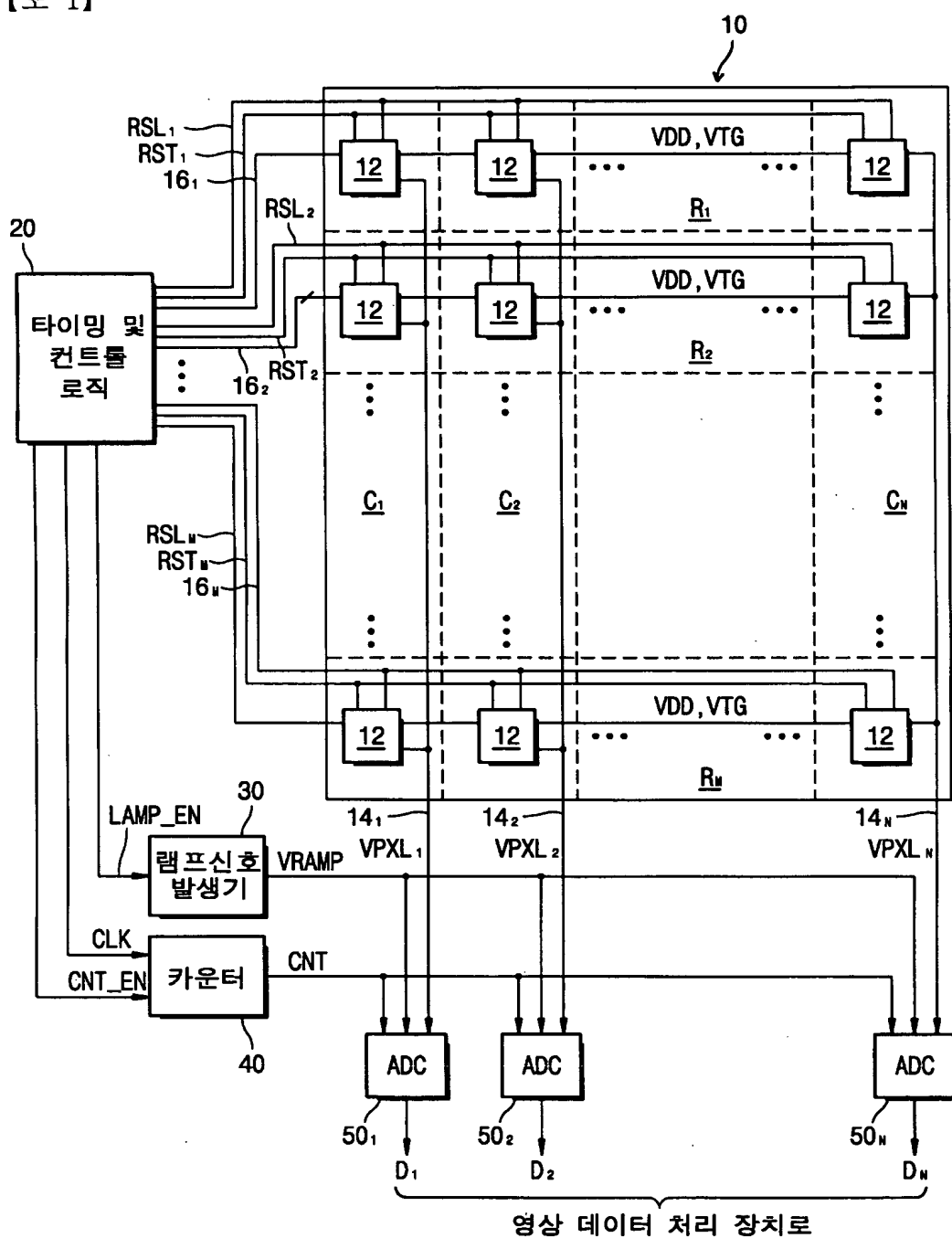
【청구항 7】

제 1 항에 있어서,

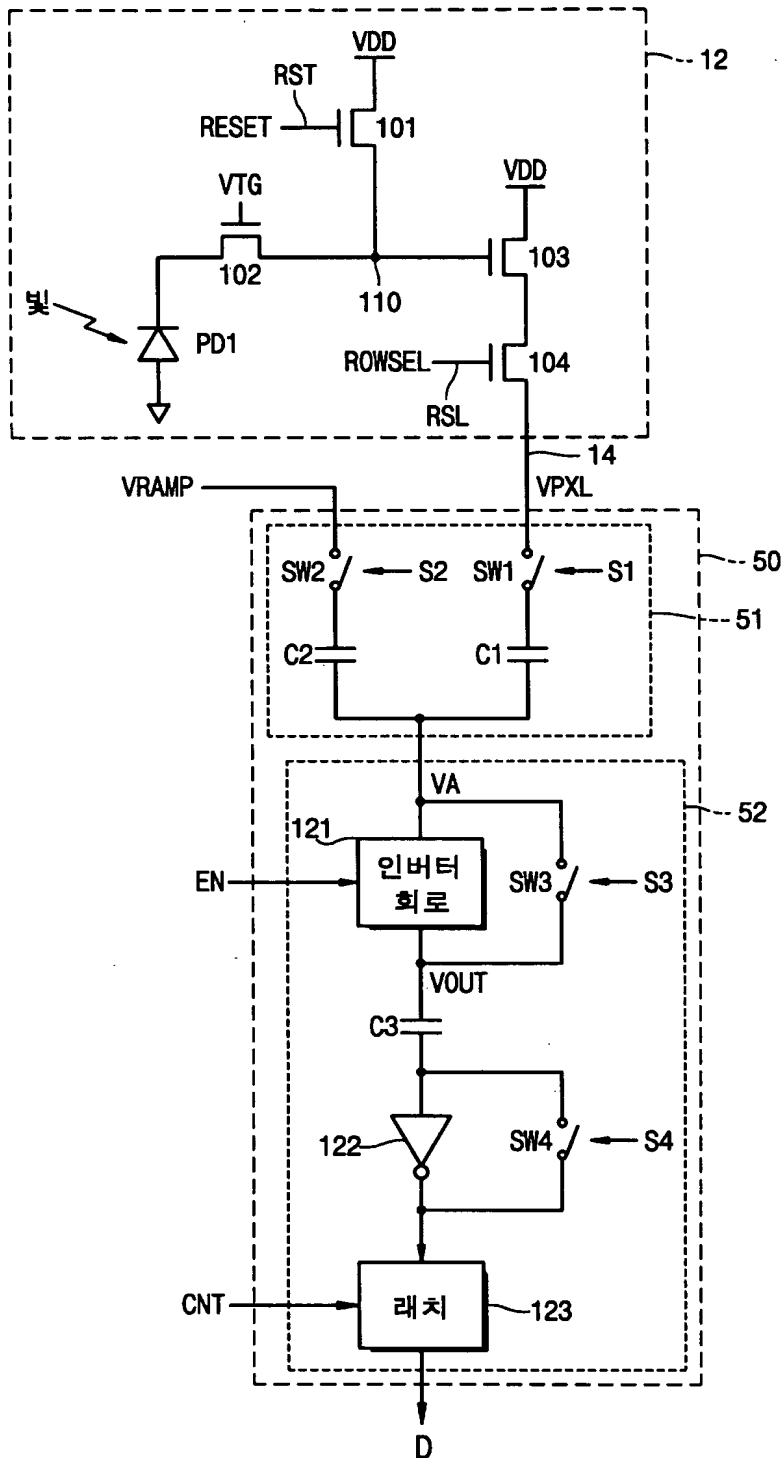
상기 시변 기준 신호는 상기 시작 신호에 응답해서 소정의 기울기를 갖고 변화하는 램프 신호인 것을 특징으로 하는 신호 처리 회로.

【도면】

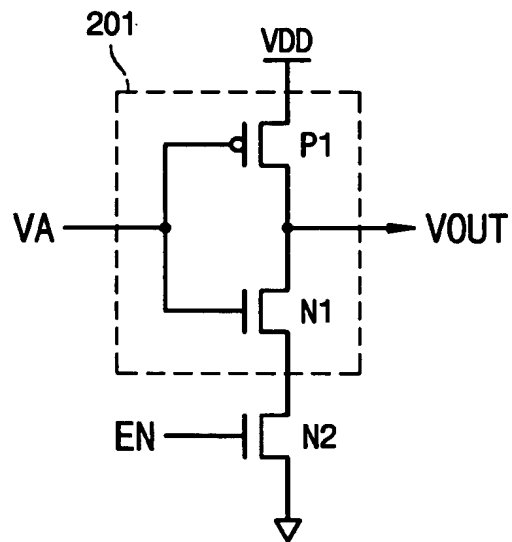
【도 1】



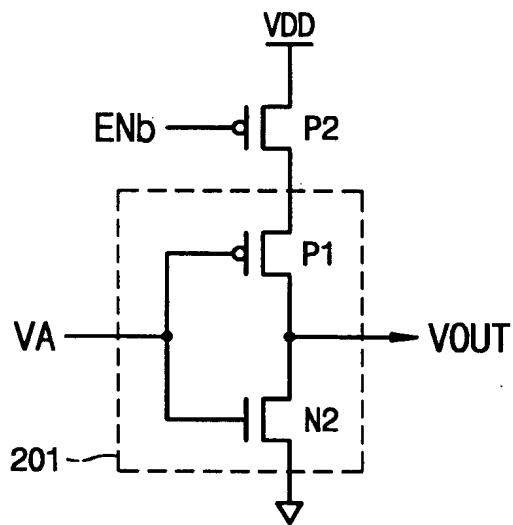
【도 2】



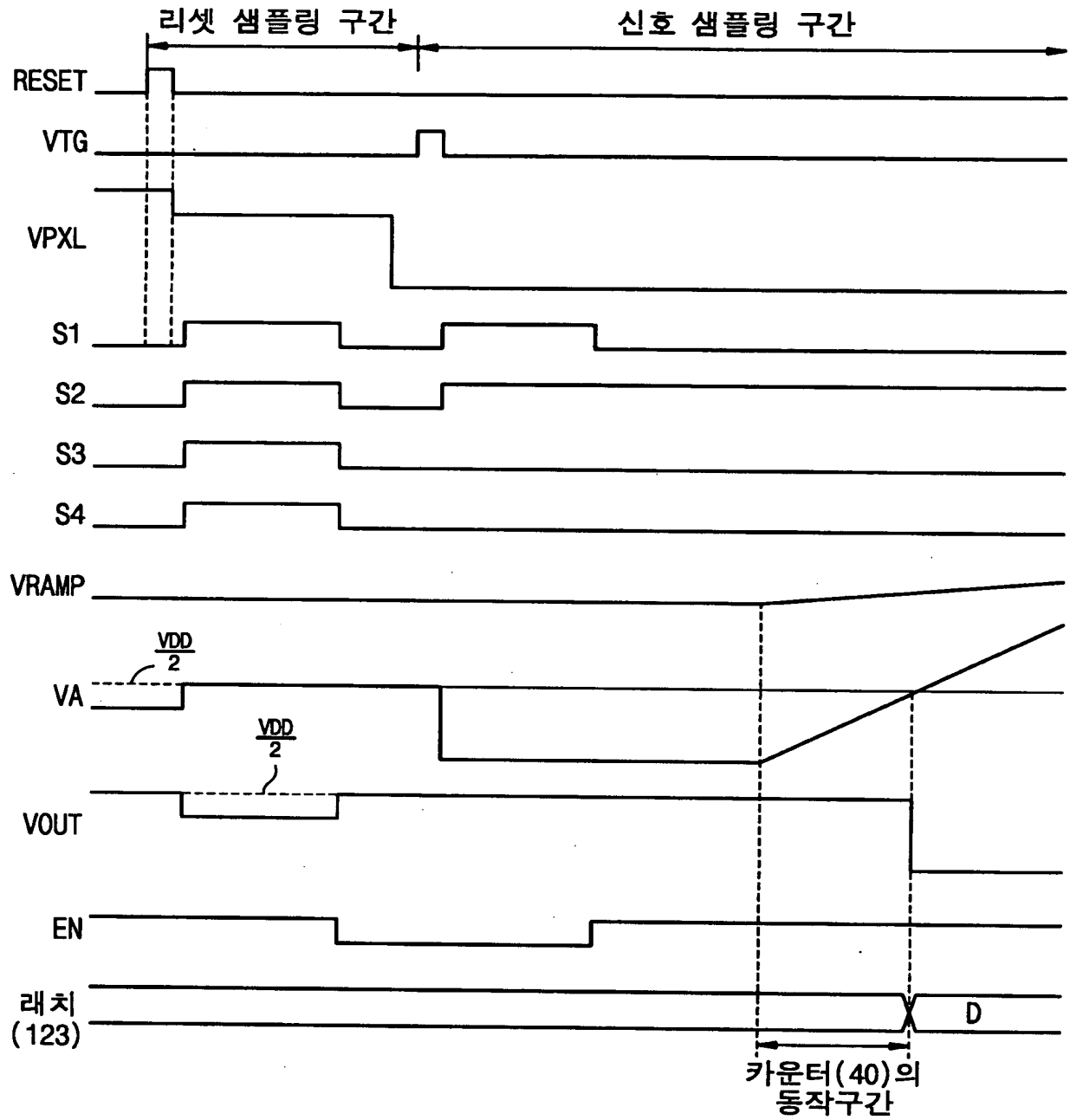
【도 3】

121

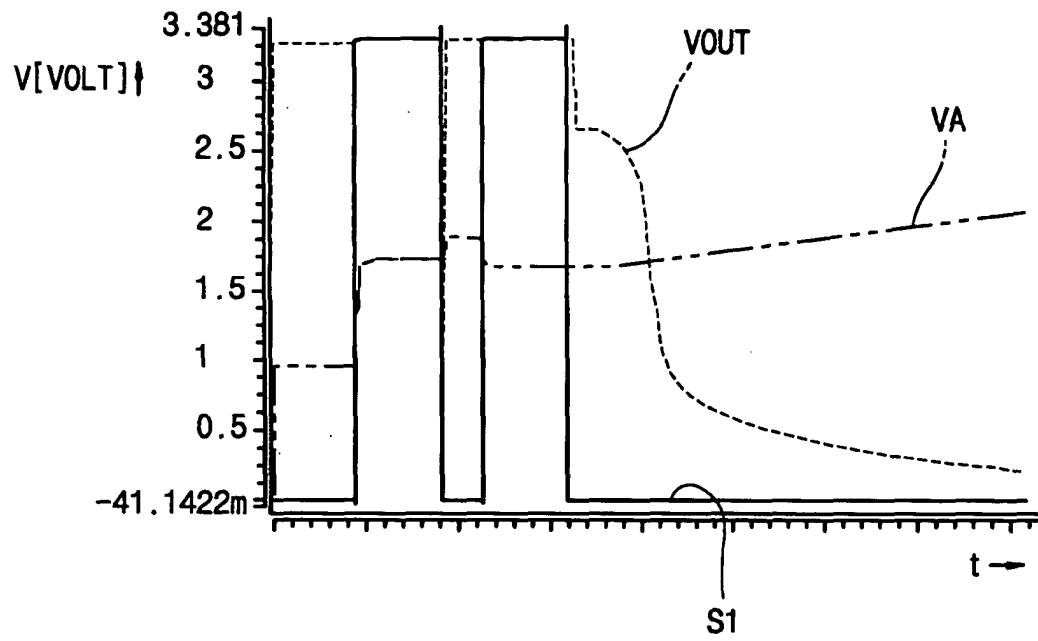
【도 4】

121

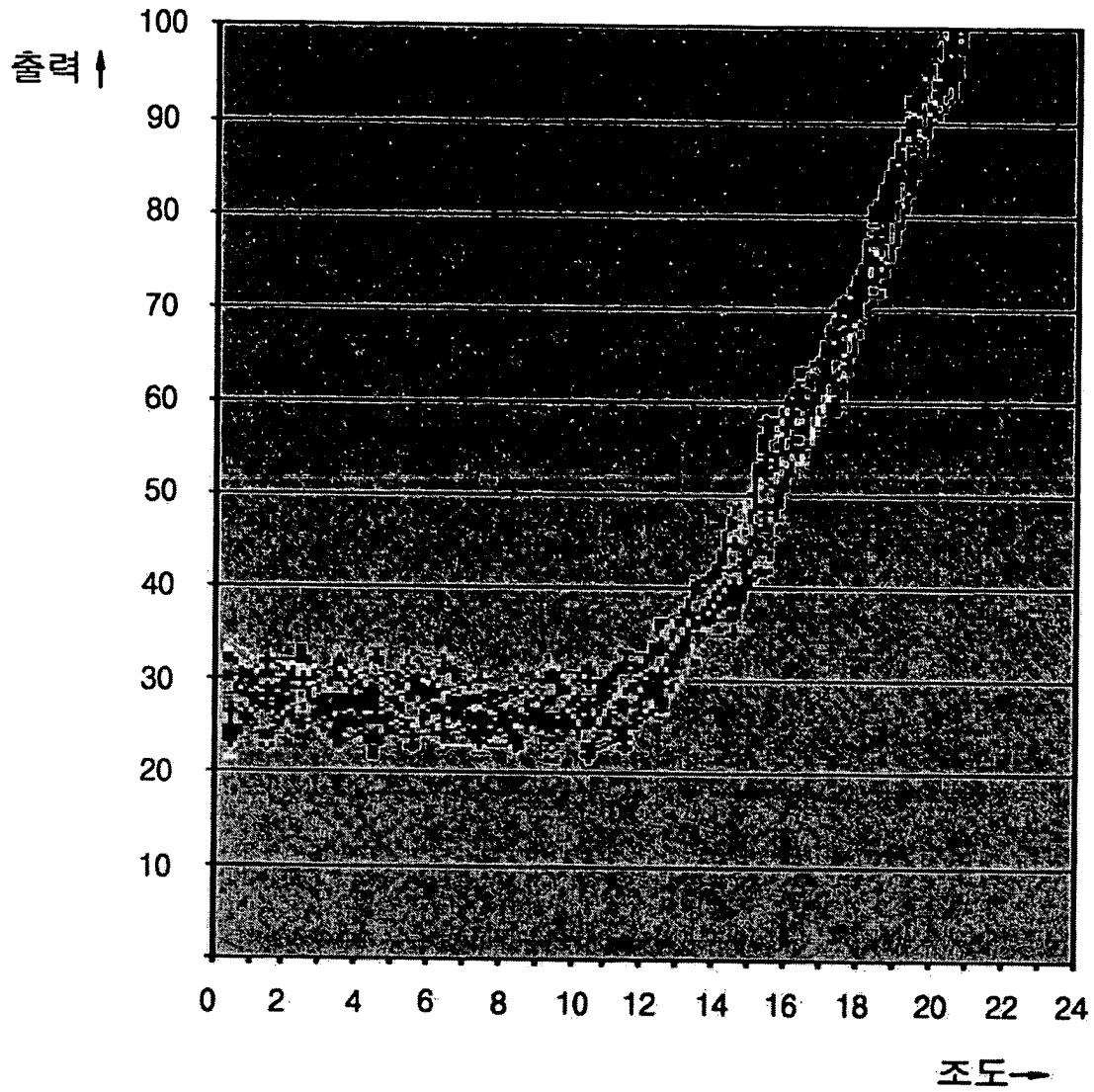
【도 5】



【도 6】



【도 7a】



【도 7b】

